

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-230131

(43)Date of publication of application : 13.09.1989

(51)Int.Cl.

G06F 9/38

(21)Application number : 63-054891

(71)Applicant : AGENCY OF IND SCIENCE & TECHNOL

(22)Date of filing : 10.03.1988

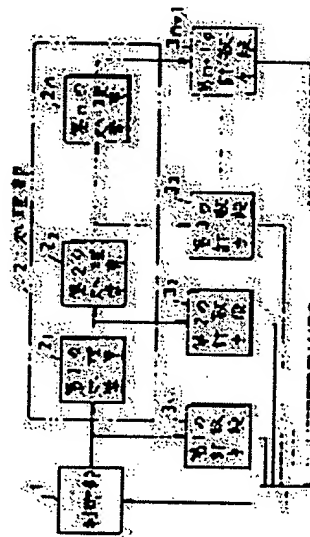
(72)Inventor : IWASA SHIGEAKI

## (54) PARALLEL PROCESSOR

### (57)Abstract:

**PURPOSE:** To supervise the processing condition of a processing part without giving burden to a processing part by suitably reading and comparing, with a control part, the result to count the processing progress condition of respective processing elements with the control part and plural counting means to operate independently from respective processing element and recognizing the execution condition of the processing part.

**CONSTITUTION:** A control part 1, when the processing instruction to make it necessary to supervise a processing condition is issued, reads the counted result of a first counting means 31 beforehand, reads and compares the counted result of second (n+1)-th counting means 32W3n+1 when the necessity to supervise the instruction occurs and whether or not up to which processing element the processing is completed is supervised by a processing instruction. At this time, respective counting means 31W3n+1 are operated independently from the control part 1 and respective processing elements 21W2n and respective processing elements 21W2n execute the completely same action as the time when the supervision is not executed. Thus, in a processing part 2, the burden for supervision is completely eliminated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平1-230131

⑤ Int. Cl. 4

G 06 F 9/38

識別記号

3 8 0

庁内整理番号

C-7361-5B

⑬ 公開 平成1年(1989)9月13日

審査請求 有 請求項の数 1 (全4頁)

⑭ 発明の名称 並列処理装置

⑰ 特 願 昭63-54891

⑱ 出 願 昭63(1988)3月10日

⑲ 発 明 者 岩 佐 繁 明 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑳ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

## 明 細 書

## 1. 発明の名称

並列処理装置

## 2. 特許請求の範囲

命令の発行を制御する制御部と、この制御部から発行された命令をパイプライン処理する多段接続された複数の処理要素からなる処理部と、前記制御部及び前記処理部とは独立に動作をし、前記制御部が発行した命令の数及び前記処理部の各処理要素での処理が終了した命令の数をそれぞれ数える複数の計数手段とを具備し、前記制御部は、前記複数の計数手段からその計数結果を適宜読込んで前記命令の実行状態を把握するものであることを特徴とする並列処理装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

(産業上の利用分野)

本発明は、パイプライン処理による並列プロセッサシステムや、ベクトルプロセッサなどの並列処理装置に係わり、特にパイプライン上におけ

る処理状態の監視機能を備えた並列処理装置に関する。

(従来の技術)

従来より、処理効率を向上させるため、1つの命令の実行が終了する前に次の命令を発行するパイプライン方式の並列プロセッサシステムやベクトル計算機等が知られている。これらパイプライン演算方式のなかでも、パイプラインの段数が比較的短く且つ処理時間がほぼ一定のものであれば、その実行状態をハードウェアで監視することは可能である。

しかし、一連の長いデータに対して演算を行なうベクトルプロセッサにおいては、実行時間が不定でしかも非常に長くなることが多い。この場合、命令を発行する制御部が、パイプライン上の命令の処理状況や中間処理結果等を把握することは困難である。このため、従来、例えば処理命令が前の処理命令の実行結果や中間結果等を参照する場合には、その命令の実行が全て終了するまで次の命令をパイプライン上に送出すのを中止したり、

パイプライン上のいずれかのステージでエラーが発生した場合、エラー状況が把握できないために再試行すべき処理命令が決定できないといった、処理の無駄が発生していた。

これに対し、処理の終了や途中結果を制御部に逐次告知するシステムも知られているが、この方法ではハードウェアが複雑になり、しかも処理装置は本来の処理とは無関係な処理に時間や資源を割かなければならず、処理効率の低下を招くという問題があった。

(発明が解決しようとする課題)

このように、従来のパイプライン方式による並列処理装置においては、制御部における処理を妨げずに並列処理装置の処理状態を監視することが困難であり、結局、処理効率が低下するという問題があった。

本発明は、上記問題点を解決すべくなされたもので、制御部における処理を妨げることなく、パイプライン上の命令の処理状況を容易に監視できる並列処理装置を提供することを目的とする。

ることで、該処理命令がどの処理要素までの処理を終えたかを監視することができる。各計数手段 $31 \sim 3n+1$ は制御部1及び各処理要素 $21 \sim 2n$ と独立に動作をし、各処理要素 $21 \sim 2n$ は監視を行わない時と全く同じ動作をするので、処理部2においては監視のための負担が全くない。制御部1においても監視のためには単に各計数手段 $31 \sim 3n+1$ の読出しと比較演算とを行なうだけであり、負担は少ない。

このように、本発明によれば、処理命令を逐次に処理する並列処理装置の処理状態の監視が非常に簡単に実現できる。

(実施例)

以下、図面に基づいて、本発明の一実施例について説明する。

第2図は本発明をベクトルプロセッサに適用した一実施例を示す図である。

このベクトルプロセッサは、コマンドの発行制御を行なう制御部11と、コマンドFIFO (first in first out: 以下「CFIFO」と略

[発明の構成]

(課題を解決するための手段)

本発明は、第1図に示すように、命令の発行を制御する制御部1と、この制御部1から発行された命令をパイプライン処理する多段接続された複数の処理要素 $21, 22, \dots, 2n$ からなる処理部2と、前記制御部1及び前記処理部2とは独立に動作をし、前記制御部1が発行した命令の数及び前記処理部2の各処理要素 $21 \sim 2n$ での処理が終了した命令の数をそれぞれ数える複数の計数手段 $31, 32, \dots, 3n+1$ とを具備し、前記制御部1が、前記複数の計数手段 $31 \sim 3n+1$ からその計数結果を適宜読込んで前記命令の実行状態を把握するものであることを特徴としている。

(作用)

第1図において、制御部1は処理状態を監視する必要のある処理命令を発行した場合、予め第1の計数手段 $31$ の計数結果を読出し、その命令を監視する必要が生じた時点で第 $2 \sim n+1$ の計数手段 $32 \sim 3n+1$ の計数結果を読出し比較す

す)  $12$ と、演算部13とを備えるとともに、制御部11のコマンド発行状態を監視する第1のカウント14と、CFIFO12からのコマンド出力数を計数する第2のカウント15と、演算部13のコマンド実行数を計数する第3のカウント16とを備えたものとなっている。

このシステムでは、演算部13が演算可能となるとCFIFO12から演算命令を自動的に取出し実行する。これにより制御部11と演算部13との並列動作を実現する。制御部11はプログラムに従い、演算命令をCFIFO12が一杯になるまで発行し続ける。CFIFO12は通常のFIFOメモリで、制御部11からの書き込み要求に応じて演算命令を取込み、演算部13からの読出し要求に応じて演算命令を出力する。演算部13はCFIFO12に演算命令があればこれを取り出し、命令を解釈実行する。演算部13はパイプライン構成をとり、各段は異なる演算を実行することが可能であり、複数の演算を同時に実行することがあるが、実行の終了は演算命令の入力の

順序を守るものとする。

この実施例は、本発明における $n=2$ の場合の実施例で、C F I F O 1 2は第1の処理要素、演算部13は第2の処理要素である。また3個のカウント14、15及び16は、それぞれ第1、第2及び第3の計数手段である。第1のカウント14は、制御部11が発行した演算命令の数を数え、演算命令の識別番号を呈示する。即ち、この第1のカウント14には、制御部11が発行した最新の演算命令の識別番号が格納されている。第2のカウント15は、C F I F O 1 2から演算部13が取出した演算命令の数を数え、実際に演算の実行が始まった演算命令のうちの最新のものの識別番号を呈示する。第3のカウント16は、演算部13の実行が終了した演算命令のうちの、最新のものの識別番号を呈示する。

次に、以上のベクトルプロセッサにおいて、処理状態の監視の例として演算部13で何等かのエラーが生じた場合の処理を第3図に基づき説明する。

#### 〔発明の効果〕

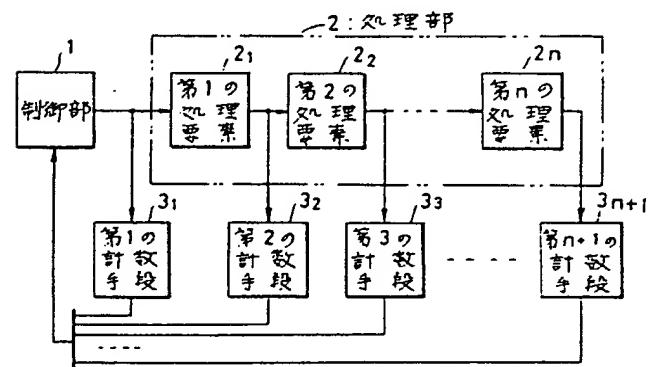
以上述べたように、本発明によれば、制御部及び各処理要素とは全く独立に動作をする複数の計数手段によって各処理要素の処理進行状況を計数し、これら計数手段の計数結果を制御部が適宜読出し比較するだけで処理部の実行状態を把握できるので、処理部に全く負担をかけずに処理部の処理状態を監視することができる。

#### 4. 図面の簡単な説明

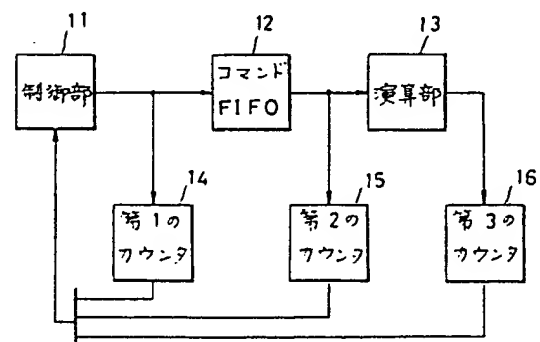
第1図は本発明に係る並列処理装置の構成を示すブロック図、第2図は本発明をベクトルプロセッサに適用した実施例のブロック図、第3図はベクトルプロセッサにおけるエラー処理の流れ図である。

1、11…制御部、2…処理部、21～2n…処理要素、31～3n+1…計数手段、12…コマンドFIFO、13…演算部、14～16…カウンタ。

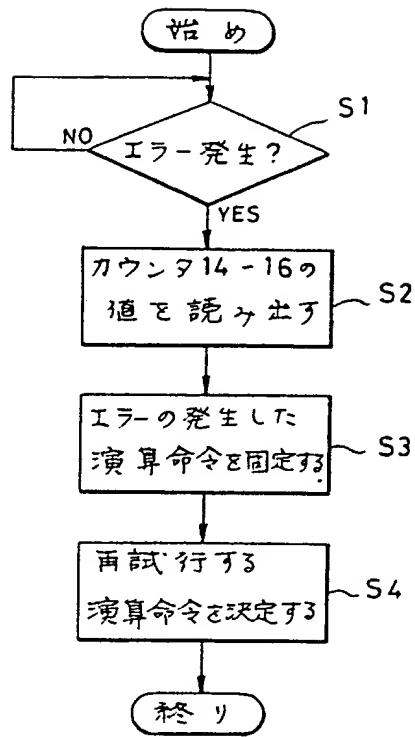
演算部13は、エラーが生じた旨を制御部11にハードウェア割込みとして通知する(S1)。制御部11は、割込み処理ルーチンの中でカウンタ14、15及び16を読み出し(S2)、現在発行中の演算命令のいくつ前の演算命令でエラーが起きたかを同定するとともに、どの演算まで正常に実行されたかを知り(S3)、再試行すべき演算命令を決定する(S4)。更に具体的に述べると、エラーを起こしている演算命令は演算部13で実行されていた演算命令の一つである。演算部13で実行されていた演算命令はカウンタ15が示す演算命令(最新に演算部13に取込まれた演算命令)からカウンタ16が示す演算命令(最新に処理が終了した演算命令)の一つ前までの演算命令である。このため、制御部11は、カウンタ14、15、16を参照することで演算部13の実行状態を知ることができ、エラーの生じた演算命令に対して適切なエラー処理を施した後、再試行すべき演算命令を再度発行して処理を継続することができる。



第1図



第2図



第3図